

PAT-NO: JP02001014108A

DOCUMENT-IDENTIFIER: JP 2001014108
A

TITLE: DISK STORAGE
DEVICE AND DISK CONTROLLER

PUBN-DATE: January 19,
2001

INVENTOR- INFORMATION:

NAME

COUNTRY

CHIBA, TAKAO

N/A

ICHIKAWA, YASUHIKO

N/A

ASSIGNEE- INFORMATION:

NAME

COUNTRY

TOSHIBA CORP

N/A

APPL-NO: JP11187054

APPL-DATE: June 30, 1999

INT-CL (IPC): G06F003/06, G11B019/00

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a device for reducing power consumption as a result by supplying the clock of an absolute minimum frequency in an operation state not requiring a high frequency clock in a disk controller.

SOLUTION: In this disk controller used for the disk drive of an HDD or the like, the frequency clock of a clock generation circuit 4 is controlled corresponding to the operation state of a data transfer control circuit

accompanying the processing of a command from a host system. The clock generation circuit 4 supplies the clock of a high frequency to a host interface 2 at the time of a data transfer processing. Also, after a command processing is ended, the clock of the absolute minimum frequency is generated and supplied to the host interface 2.

COPYRIGHT: (C) 2001, JPO

(11)特許出願公開番号
特開2001-14108
(P2001-14108A)

(43)公開日 平成13年1月19日(2001.1.19)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
G 0 6 F 3/06	3 0 1	G 0 6 F 3/06	3 0 1 G 5 B 0 6 5
G 1 1 B 19/00	5 0 1	G 1 1 B 19/00	5 0 1 H

審査請求 未請求 請求項の数5 OL (全 6 頁)

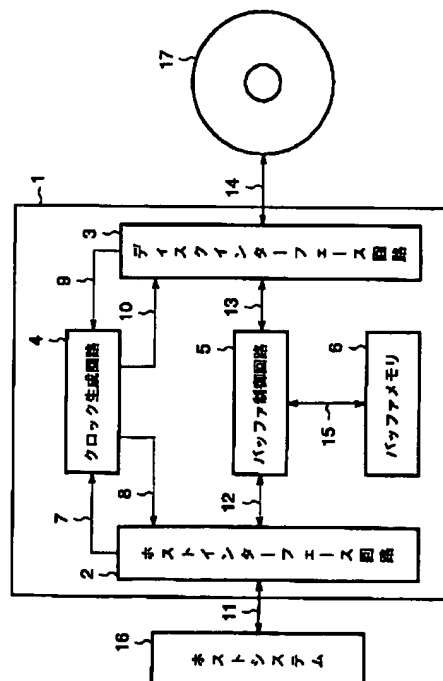
(21)出願番号	特願平11-187054	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成11年6月30日(1999.6.30)	(72)発明者	千葉 崇生 東京都青梅市末広町2丁目9番地 株式会 社東芝青梅工場内
		(72)発明者	市川 靖彦 東京都青梅市末広町2丁目9番地 株式会 社東芝青梅工場内
		(74)代理人	100058479 弁理士 鈴江 武彦 (外6名)
		Fターム(参考)	5B065 BA01 CA16 CA50 CC08 ZA14

(54) 【発明の名称】 ディスク記憶装置及びディスク制御装置

(57) 【要約】

【課題】ディスクコントローラにおいて、高い周波数クロックを必要としない動作状態では、必要最低限の周波数のクロックを供給するようにして、結果的に消費電力の低減化を実現することにある。

【解決手段】HDDなどのディスクドライブに使用されるディスクコントローラにおいて、ホストシステムからのコマンドの処理に伴うデータ転送制御回路の動作状態に応じて、クロック生成回路4の周波数クロックを制御する。クロック生成回路4は、データ転送処理時にはホストインターフェース2に対して高い周波数のクロックを供給する。また、コマンド処理の終了後には、必要最低限の周波数のクロックを生成してホストインターフェース2に供給する。



【特許請求の範囲】

【請求項1】 ホストシステムからの要求に応じて、ヘッドによりディスク上にデータの記録再生を行なうための手段と、

前記ホストシステムと前記ディスク間で、記録データまたは再生データの転送制御を実行するディスク制御手段と、

前記ディスク制御手段の動作の状態に応じて必要最低限の周波数のクロックを生成して、前記ディスク制御手段に供給するクロック制御手段とを具備したことを特徴とするディスク記憶装置。

【請求項2】 ホストシステムからの要求に応じて、ヘッドによりディスク上にデータの記録再生を行なうディスク記憶装置に適用するディスク制御装置であって、前記ホストシステムと前記ディスク間で記録データまたは再生データの転送制御を実行する転送制御手段と、動作に必要なクロックを生成して前記転送制御手段に供給し、当該クロックの周波数を可変する機能を備えたクロック生成手段と、

前記ホストシステムからのコマンドの発行を検知し、当該コマンドの処理状態に応じて必要最低限のクロック周波数を前記クロック生成手段に指定する手段とを具備したことを特徴とするディスク制御装置。

【請求項3】 ホストシステムからの要求に応じて、ヘッドによりディスク上にデータの記録再生を行なうディスク記憶装置に適用するディスク制御装置であって、前記ホストシステムと前記ディスク間で、データ転送レートを選択して記録データまたは再生データの転送制御を実行する転送制御手段と、

動作に必要なクロックを生成して前記転送制御手段に供給し、当該クロックの周波数を可変する機能を備えたクロック生成手段と、

前記転送制御手段のデータ転送レートに応じて必要最低限のクロック周波数を前記クロック生成手段に指定する手段とを具備したことを特徴とするディスク制御装置。

【請求項4】 ホストシステムからの要求に応じて、ヘッドによりディスク上にデータの記録再生を行なうディスク記憶装置に適用するディスク制御装置であって、前記ホストシステムと前記ディスク間で記録データまたは再生データの転送制御を実行する転送制御手段と、動作に必要なクロックを生成して前記転送制御手段に供給し、当該クロックの周波数を可変する機能を備えたクロック生成手段と、

データの記録再生を行なう前記ディスク上のトラック位置に従って前記転送制御手段のデータ転送レートを検知し、当該データ転送レートに応じて必要最低限のクロック周波数を前記クロック生成手段に指定する手段とを具備したことを特徴とするディスク制御装置。

【請求項5】 ホストシステムからのコマンドに応じて、ヘッドによりディスク上にデータの記録再生を行な

うための手段と、

前記コマンド処理に必要な周波数のクロックをコマンド処理回路に供給し、当該コマンド処理の終了後に必要最低限の周波数のクロックに変更するクロック制御手段とを具備したことを特徴とするディスク記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばハードディスクドライブなどのディスク記憶装置に関し、特にクロック周波数を可変して消費電力の制御機能を有するディスク制御装置に関する。

【0002】

【従来の技術】従来、ハードディスクドライブ(HDD)は、ホストシステム(パーソナルコンピュータや各種のデジタル機器)からのコマンドに応じて、ヘッドによりディスク上にデータを記録再生するデータ記憶装置である。HDDは、大別してヘッド・ディスクアセンブリを含むドライブ機構と、ホストシステムとディスク間のインターフェースを構成するディスクコントローラ(HDC)とからなる。HDCは、記録データ及び再生データを格納するバッファメモリを有し、主たる機能としてはホストシステムとディスク間のデータ転送を制御する機能を備えている。

【0003】HDDでは、ドライブ機構及びHDCにおいて、各種の回路の動作に必要なクロックが生成されて、各回路の動作に適合する周波数のクロックが供給されている。特に、HDCでは、データ転送レートの高速度に伴って、相対的に高い周波数のクロックが生成されて、データ転送制御に係る各回路に供給されている。

【0004】ところで、近年ではHDDを使用するホストシステムは、消費電力の低減化が重要な技術的課題の一つになっている。このため、HDD自体に対しても、消費電力の低減化の要求が高まっている。

【0005】

【発明が解決しようとする課題】前述したように、ホストシステムと同様に、HDDに対する消費電力の低減化の要求が高まっている。このため、消費電力の低減化を実現するための各種の方法が開発されたり、提案されている。

【0006】一般的に、電子回路系では、消費電力とクロック周波数とが密接に関係しており、高い周波数のクロックで動作する回路は、相対的に消費電力量が大きくなる。従って、HDDでは、特に高い周波数クロックを使用するHDCは、消費電力が相対的に大きい傾向にある。ここで、従来のHDCでは、ホストシステムからのコマンドに応じて高速のデータ転送処理を実行する以外でも、高い周波数クロックで回路が動作している。換言すれば、高い周波数クロックを必要としない動作状態の場合でも、高い周波数クロックの供給がなされており、

無駄な電力消費を招いている。

【0007】そこで、本発明の目的は、特にディスクコントローラにおいて、高い周波数クロックを必要としない動作状態では、必要最低限の周波数のクロックを供給するようにして、結果的に装置全体の消費電力の低減化を実現することにある。

【0008】

【課題を解決するための手段】本発明は、HDDなどのディスクドライブにおいて、ホストシステムとディスク間で、記録データまたは再生データの転送制御を実行するディスク制御手段でのクロック周波数を制御する機能を有するクロック制御手段に関する。ディスク制御手段は、HDDのディスクコントローラ(HDC)に相当する。

【0009】クロック制御手段は、ディスク制御手段の動作の状態に応じて、高い周波数のクロックを必要としない動作状態時には、必要最低限の周波数のクロックを生成して供給するように制御する。具体的には、クロック制御手段は、クロックの周波数を可変する機能を備えたクロック生成手段と、ホストシステムからのコマンドの発行を検知し、当該コマンドの処理状態に応じて必要最低限のクロック周波数をクロック生成手段に指定する検知手段とを有する。

【0010】このような構成であれば、ホストシステムからのコマンド処理に応じて高速のデータ転送処理を実行するときには、高い周波数のクロックを該当する回路に供給すると共に、コマンド処理の終了後には必要最低限の周波数のクロックに切替えることができる。従って、高速のデータ転送処理以外のときには、クロック周波数を低周波数にすることにより、相対的に消費電力量を低減することができる。これにより、全体的に消費電力の低減化を図ることが可能となる。

【0011】

【発明の実施の形態】以下図面を参照して、本発明の実施の形態を説明する。

【0012】図1は、本実施形態に係るディスクドライブの要部を示すブロック図である。同実施形態はディスクドライブとして、HDDを想定している。

【0013】HDDは、図1に示すように、大別してヘッド・ディスクアセンブリを含むドライブ機構と、ディスクコントローラ(HDC)1とを有する。HDDは、ホストシステム16からのコマンドに応じて、要求されたライトデータを、ヘッドのライト動作によりディスク17上に記録する。また、要求されたリードデータを、ヘッドのリード動作によりディスク17から再生してホストシステムに転送する。ホストシステム16は、例えばパーソナルコンピュータや、デジタル・テレビジョン受信機などのデジタル機器である。

【0014】(ディスクコントローラ)HDC1は、ドライブ機構(狭義にはディスク17)とホストシステム

16間のインターフェースを構成し、主機能としてはリード/ライトデータの転送制御である。HDC1は、図1に示すように、ホストインターフェース回路2、ディスクインターフェース回路3、クロック生成回路4、バッファ制御回路5、及びバッファメモリ6を有する。

【0015】ホストインターフェース回路2は、図2に示すように、ホストシステム16から発行されたコマンドを保持するコマンドレジスタ群と共に、DMA機能やPIO機能などによる複数の転送モードを有するデータ転送制御回路21及び検知回路20を備えている。データ転送制御回路21は、各転送モード(1, 2)に対応するデータ転送レート(例えば高速レートと低速レートを切替えて、ホストシステム16とのリード/ライトデータの転送制御を実行する機能を有する。検知回路20は、ホストシステム16からのコマンド発行、コマンド処理の内容、及びデータ転送制御回路の内部状態を検知する機能を有する。

【0016】ディスクインターフェース回路3は、ホストインターフェース回路2により制御される転送モードに従って、ディスク17との間のリード/ライトデータの転送制御を実行するデータ転送制御回路、及び検知回路を有する。当該検知回路は、検知回路20と同様のデータ転送制御回路の内部状態を検知する機能を有する。

【0017】クロック生成回路4は、図2に示すように、クロックを生成して送出するクロック発生回路41、及び当該クロックの周波数を制御する周波数制御回路40を有する。周波数制御回路40は、各インターフェース回路2, 3のそれぞれに含まれる検知回路からの指定に応じてクロックの周波数を設定する(図2ではホストインターフェース回路2の検知回路20を想定している)。さらに、バッファ制御回路5は、バッファメモリ6を制御してリード/ライトデータを当該バッファメモリ6に維持的に格納し、ホストシステム16とディスク17間のデータ転送速度を調整する。バッファメモリ6はセクタバッファとも呼ばれて、通常ではセクタ単位のリード/ライトを格納する。

【0018】(同実施形態のクロック制御動作)以下図1と図2と共に、図3のフローチャートを参照して同実施形態のクロック制御動作(消費電力の制御動作)を説明する。

【0019】まず、ホストシステム16からコマンド(例えばリード/ライトコマンド)が発行されると、ホストインターフェース回路2は、当該コマンドをコマンドレジスタにセットする(ステップS1のYES)。通常では、HDDのCPU(図示しないマイクロコントローラ)は、コマンドレジスタをアクセスして、コマンドにより指定された例えばライト動作(ディスク17にデータを記録する動作)を実行する。

【0020】ここで、同実施形態のホストインターフェース回路2に含まれる検知回路20は、コマンドレジ

タにセットされたコマンドを検知すると、図2に示すように、信号線7を通じてコマンド処理（例えばライト動作に伴うライトデータの転送処理）に必要なクロック周波数を指定するための情報を、クロック生成回路4に送出する。この情報に応じて、クロック生成回路4は、周波数制御回路40及びクロック発生回路41の動作により、当該コマンド処理に必要な周波数（例えばライトデータの高速転送に必要な高い周波数）のクロックを生成する。そして、信号線8を通じて、ホストインターフェース回路2のデータ転送回路21を含む各回路に当該クロックを供給する（ステップS2）。

【0021】ホストインターフェース回路2のデータ転送回路21はクロック生成回路4から供給されるクロックにより、コマンド処理に伴う例えばホストシステム16からのライトデータをバッファ制御回路5（バッファメモリ6）を介して、ディスクインターフェース回路3に転送する処理を実行する（ステップS3）。検知回路20は、データ転送回路21の動作状態からコマンド処理の終了を検知すると、必要最低限のクロック周波数を指定するための情報を、クロック生成回路4に送出する（ステップS4のYES）。これに応じて、クロック生成回路4は、周波数制御回路40及びクロック発生回路41の動作により、必要最低限の周波数（例えばコマンドレジスタへのアクセスに対する応答可能な低周波数）のクロックを生成して、ホストインターフェース回路2に供給する（ステップS5）。

【0022】以上のようにディスクコントローラ1において、ホストインターフェース回路2は、コマンド処理の状態（データ転送回路21の動作状態）に応じて、クロック生成回路4のクロック周波数を制御する。従って、ホストインターフェース回路2は、高速のデータ転送処理を実行する場合には、クロック生成回路4から相対的に高い周波数のクロック供給を受ける。一方、コマンド処理の終了後には、クロック生成回路4から必要最低限の周波数（相対的に低い周波数）のクロック供給を受ける。これにより、ディスクコントローラ1は、コマンド処理を所定の高い周波数のクロックにより確実に実行する。また、コマンド処理の終了後には必要最低限の周波数のクロックを生成するため、相対的に消費電力を低減することができる。

【0023】なお、ディスクインターフェース回路3の動作においても、前述のホストインターフェース回路2と同様に、データ転送回路などの内部回路の動作状態に応じて、クロック生成回路4のクロック周波数を制御する。即ち、ディスクインターフェース回路3は、高速のデータ転送処理を実行する場合には、クロック生成回路4から信号線10を通じて相対的に高い周波数のクロック供給を受ける。一方、ディスクインターフェース回路3の検知回路は、データ転送処理の終了を検知すると、信号線9を通じてクロック生成回路4に必要最低限の周

波数のクロック供給を指示する。従って、データ転送処理の終了後には必要最低限の周波数のクロック供給となるため、相対的に消費電力を低減することができる。

【0024】（同実施形態の変形例）以下、図2を参照して同実施形態の変形例を説明する。本変形例は、ホストインターフェース回路2の検知回路20が、データ転送制御回路21の転送モード（1，2）の中で、ホストシステム16が要求する転送モードを検知し、これに応じてクロック生成回路4のクロック周波数を制御する方式である。

【0025】即ち、ホストインターフェース回路2は、ホストシステム16から発行されたコマンドがコマンドレジスタにセットされると、当該コマンドによりデータ転送制御回路21の転送モード（1，2）が選択される。ここでは、データ転送モード（1）は高速転送レートによるデータ転送を想定し、またデータ転送モード（2）は低速転送レートによるデータ転送を想定する。

【0026】検知回路20は、ホストシステム16から高速転送レートのデータ転送モード（1）が要求されたことをコマンドから検知すると、信号線7を通じて高速転送レートに必要なクロック周波数を指定するための情報を、クロック生成回路4に送出する。クロック生成回路4は、周波数制御回路40及びクロック発生回路41の動作により、高速転送レートに必要な高い周波数のクロックを生成して、データ転送回路21に供給する。一方、検知回路20は、ホストシステム16から低速転送レートのデータ転送モード（2）が要求されたことをコマンドから検知すると、信号線7を通じて低速転送レートに必要なクロック周波数を指定するための情報を、クロック生成回路4に送出する。クロック生成回路4は、周波数制御回路40及びクロック発生回路41の動作により、低速転送レートに最低限必要な低い周波数のクロックを生成して、データ転送回路21に供給する。

【0027】以上のように本変形例によれば、ホストインターフェース回路2は、ホストシステム16から要求されたデータ転送モードに応じて、クロック生成回路4のクロック周波数を制御する。従って、ホストインターフェース回路2は、高速のデータ転送処理を実行する場合には、クロック生成回路4から相対的に高い周波数のクロック供給を受ける。一方、低速のデータ転送処理を実行する場合には、クロック生成回路4から必要最低限の周波数（相対的に低い周波数）のクロック供給を受ける。これにより、特に低速のデータ転送処理を実行する場合に、必要最低限の周波数のクロックを生成することになるため、相対的に消費電力を低減することができる。

【0028】更に、同実施形態の他の変形例として、ディスクインターフェース回路3の検知回路が、クロック生成回路4のクロック周波数を制御する方式である。通常では、ディスク17とのデータ転送速度は、ディスク

17上のアクセス対象であるトラック位置が外周側ほど高速である。逆に、ディスク17上の内周側のトラックをアクセスする場合には、データ転送速度は相対的に低速になる。

【0029】そこで、本変形例では、ディスクインターフェース回路3の検知回路が、リード/ライト動作におけるヘッドの位置（即ち、アクセス対象のトラック位置）に応じて、クロック生成回路4のクロック周波数を制御する。具体的には、検知回路は、ディスク17上のアクセス対象であるトラック位置が外周側であることを検知すると、信号線9を通じて高速転送レートに必要なクロック周波数を指定するための情報を、クロック生成回路4に送出する。クロック生成回路4は、周波数制御回路40及びクロック発生回路41の動作により、高速転送レートに必要な高い周波数のクロックを生成し、信号線10を通じてディスクインターフェース回路3に供給する。

【0030】一方、検知回路は、ディスク17上のアクセス対象であるトラック位置が内周側であることを検知すると、信号線9を通じて低速転送レートに必要なクロック周波数を指定するための情報を、クロック生成回路4に送出する。クロック生成回路4は、周波数制御回路40及びクロック発生回路41の動作により、低速転送レートに最低限必要な低い周波数のクロックを生成し、信号線10を通じてディスクインターフェース回路3に供給する。

【0031】以上のように本変形例によれば、ディスクインターフェース回路3は、リード/ライト動作時のディスク17上のアクセス対象であるトラック位置に応じて、クロック生成回路4のクロック周波数を制御する。従って、ディスク17上のアクセス対象であるトラック位置が外周側である場合には、クロック生成回路4から相対的に高い周波数のクロック供給を受ける。一方、ディスク17上のアクセス対象であるトラック位置が内周

側である場合には、クロック生成回路4から必要最低限の周波数（相対的に低い周波数）のクロック供給を受ける。これにより、特に低速のデータ転送処理を実行する場合に、必要最低限の周波数のクロックを生成することになるため、相対的に消費電力を低減することができる。

【0032】

【発明の効果】以上詳述したように本発明によれば、特に高い周波数クロックを使用するディスクコントローラにおいて、高速のデータ転送処理に必要な高い周波数クロックで動作すると共に、高い周波数クロックを必要としない動作状態の場合には、必要最低限の周波数のクロックを供給する。従って、高い周波数クロックの供給を必要としない状態での無駄な電力消費を無くし、結果的にディスクコントローラの消費電力の低減化を実現できる。特に、本発明を低消費電力化を要求されているシステムに搭載するディスクドライブに適用すれば、システム体の消費電力の低減化を図ることが可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態に関するディスクドライブの要部を示すブロック図。

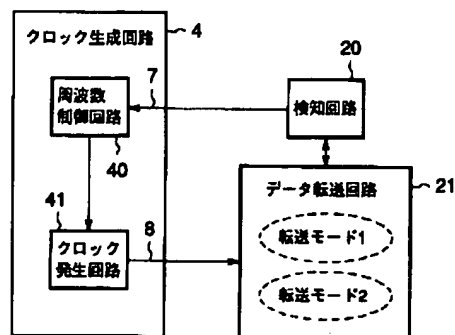
【図2】同実施形態に関するクロック生成回路と検知回路の構成を説明するためのブロック図。

【図3】同実施形態の動作を説明するためのフローチャート。

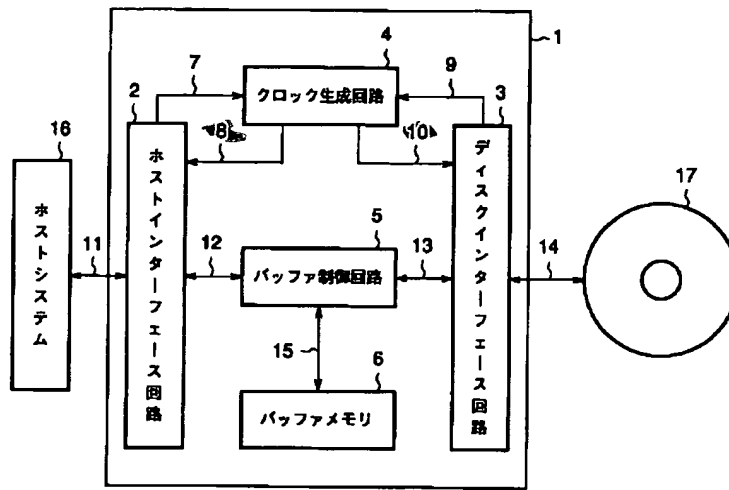
【符号の説明】

- 1…ディスクコントローラ（HDC）
- 2…ホストインターフェース回路
- 3…ディスクインターフェース回路
- 4…クロック生成回路
- 5…バッファ制御回路
- 6…バッファメモリ
- 16…ホストシステム
- 17…ディスク

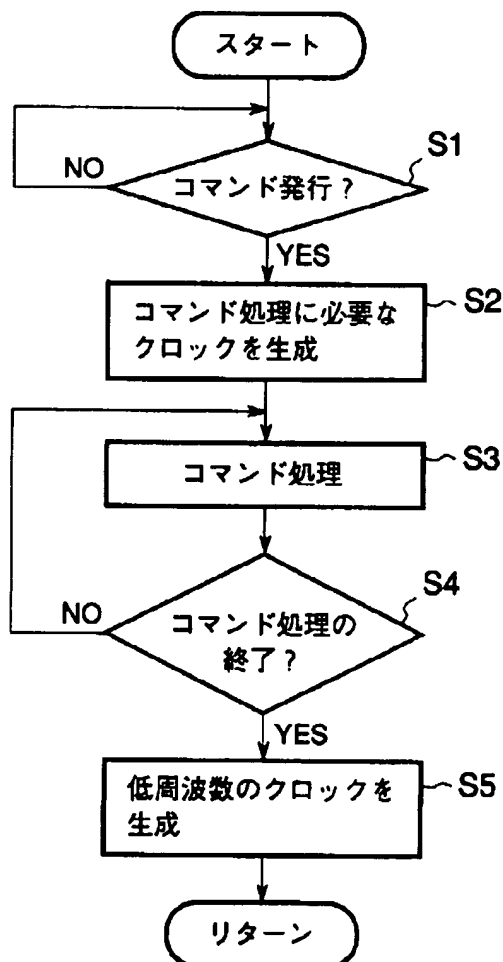
【図2】



【図1】



【図3】



*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the disk controller which carries out adjustable [of the clock frequency] and has the control function of power consumption about disk storage, such as a hard disk drive.

[0002]

[Description of the Prior Art] Conventionally, a hard disk drive (HDD) is data storage which carries out record playback of the data on a disk by the head according to the command from a host system (a personal computer and various kinds of digital devices). HDD consists of a drive device which divides roughly and contains a head disk assembly, and a host system and the disk controller (HDC) which constitutes the interface between disks. HDC had the buffer memory which stores record data and playback data, and is equipped with the function which controls the data transfer between a host system and a disk as a main function.

[0003] In HDD, in a drive device and HDC, a clock required for actuation of various kinds of circuits is generated, and the clock of the frequency which suits actuation of each circuit is supplied. Especially, in HDC, with improvement in the speed of a data transfer rate, the clock of a high frequency is generated relatively and each circuit related to data transfer control is supplied.

[0004] By the way, in recent years, the host system which uses HDD is one of the technical problems with important reduction-izing of power consumption. For this reason, the demand of reduction-izing of power consumption is increasing also to the HDD itself.

[0005]

[Problem(s) to be Solved by the Invention] As mentioned above, the demand of reduction-izing of power consumption to HDD is increasing like the host system. For this reason, various kinds of approaches for realizing reduction-ization of power consumption are developed, and it is sufficient, and is proposed.

[0006] Generally, by the electronic-circuitry system, as for the circuit where power consumption and a clock frequency are closely related, and operate with the clock of a high frequency, consumed electric power becomes large relatively. Therefore, in HDD, especially HDC that uses a high frequency clock has power consumption in a large inclination relatively. Here, in the conventional HDC, the circuit is operating with the frequency clock high even except performing high-speed data transfer processing according to the command from a host system. If it puts in another way, also in the case of operating state which does not need a high frequency clock, supply of a high frequency clock is made, and useless power consumption is caused.

[0007] Then, the object of this invention is especially in a disk controller by the operating state which does not need a high frequency clock to realize reduction-ization of the power consumption of the whole equipment as a result, as the clock of a necessary minimum frequency is supplied.

[0008]

[Means for Solving the Problem] This invention relates to a clock control means to have the function

which controls the clock frequency in the disk control means which performs record data or playback data transfer control between a host system and a disk, in disk drives, such as HDD. A disk control means is equivalent to the disk controller (HDC) of HDD.

[0009] A clock control means is controlled according to the condition of actuation of a disk control means to generate and supply the clock of a necessary minimum frequency at the time of the operating state which does not need the clock of a high frequency. Specifically, a clock control means has the clock generation means equipped with the function which carries out adjustable [of the frequency of a clock], and a detection means to detect issuance of the command from a host system and to specify a necessary minimum clock frequency as a clock generation means according to the processing state of the command concerned.

[0010] When performing high-speed data transfer processing according to command processing from a host system, while supplying the clock of a high frequency to the corresponding circuit with such a configuration, after termination of command processing, it can change to the clock of a necessary minimum frequency. Therefore, at the times other than high-speed data transfer processing, consumed electric power can be relatively reduced by making a clock frequency into low frequency. It enables this to attain reduction-ization of power consumption on the whole.

[0011]

[Embodiment of the Invention] With reference to a drawing, the gestalt of operation of this invention is explained below.

[0012] Drawing 1 is the block diagram showing the important section of the disk drive related to this operation gestalt. This operation gestalt assumes HDD as a disk drive.

[0013] HDD has the drive device which divides roughly and contains a head disk assembly, and a disk controller (HDC) 1, as shown in drawing 1. HDD records the demanded light data on a disk 17 by light actuation of a head according to the command from a host system 16. Moreover, it reproduces from a disk 17 by lead actuation of a head, and the demanded lead data are transmitted to a host system. Host systems 16 are a personal computer and digital devices, such as a digital television set.

[0014] (Disk controller) HDC1 constitutes the interface between a drive device (a narrow sense disk 17) and a host system 16, and is read/write data transfer control as a main function. HDC1 has the host interface circuitry 2, the disk interface circuit 3, the clock generation circuit 4, the buffer control circuit 5, and buffer memory 6, as shown in drawing 1.

[0015] The host interface circuitry 2 is equipped with the data transfer control circuit 21 and detecting circuit 20 which have two or more transfer modes depended on a DMA function, a PIO function, etc. with the command register group holding the command published from the host system 16 as shown in drawing 2. The data transfer control circuit 21 changes the data transfer rate (for example, a high-speed rate and a low-speed rate) corresponding to each transfer mode (1-2), and has the function to perform read/write data transfer control with a host system 16. A detecting circuit 20 has the function which detects the content of the command issuance from a host system 16, and command processing, and the internal state of a data transfer control circuit.

[0016] The disk interface circuit 3 has the data transfer control circuit which performs read/write data transfer control between disks 17, and a detecting circuit according to the transfer mode controlled by the host interface circuitry 2. The detecting circuit concerned has the function which detects the internal state of the same data transfer control circuit as a detecting circuit 20.

[0017] The clock generation circuit 4 has the clock generation circuit 41 which generates and sends out a clock, and the frequency control circuit 40 which controls the frequency of the clock concerned, as shown in drawing 2. The frequency control circuit 40 sets up the frequency of a clock according to the assignment from the detecting circuit included in each of each interface circuitries 2 and 3 (in drawing 2, the detecting circuit 20 of the host interface circuitry 2 is assumed). Furthermore, the buffer control circuit 5 controls buffer memory 6, stores read/write data in the buffer memory 6 concerned in maintenance, and adjusts the data transfer rate between a host system 16 and a disk 17. Buffer memory 6 is also called a sector buffer and stores the read/write of a sector unit in usual.

[0018] (Clock control actuation of this operation gestalt) With drawing 1 and drawing 2, clock control

actuation (control action of power consumption) of this operation gestalt is explained with reference to the flow chart of drawing 3 below.

[0019] First, if a command (for example, read/write command) is published from a host system 16, the host interface circuitry 2 will set the command concerned to a command register (YES of step S1). In usual, CPU (microcontroller which is not illustrated) of HDD accesses a command register, and performs for example, light actuation (actuation which records data on a disk 17) specified by the command.

[0020] Here, if the command set to the command register is detected, the detecting circuit 20 included in the host interface circuitry 2 of this operation gestalt sends out the information for specifying a clock frequency required for command processing (for example, light data transfer processing accompanying light actuation) through a signal line 7 to the clock generation circuit 4, as shown in drawing 2.

According to this information, the clock generation circuit 4 generates the clock of a frequency (for example, high frequency required for the fast transfer of light data) required for the command processing concerned by actuation of the frequency control circuit 40 and the clock generation circuit 41. And the clock concerned is supplied to each circuit including the data transfer circuit 21 of the host interface circuitry 2 through a signal line 8 (step S2).

[0021] With the clock supplied from the clock generation circuit 4, the data transfer circuit 21 of the host interface circuitry 2 performs processing accompanying command processing which transmits the light data from a host system 16 to the disk interface circuit 3 through the buffer control circuit 5 (buffer memory 6), for example (step S3). A detecting circuit 20 sends out the information for specifying a necessary minimum clock frequency to the clock generation circuit 4, if termination of command processing is detected from the operating state of the data transfer circuit 21 (YES of step S4).

According to this, by actuation of the frequency control circuit 40 and the clock generation circuit 41, the clock generation circuit 4 generates the clock of a necessary minimum frequency (for example, low frequency to access to a command register which can be answered), and supplies it to the host interface circuitry 2 (step S5).

[0022] In a disk controller 1, the host interface circuitry 2 controls the clock frequency of the clock generation circuit 4 according to the condition (operating state of the data transfer circuit 21) of command processing as mentioned above. Therefore, the host interface circuitry 2 receives clock supply of a high frequency relatively from the clock generation circuit 4, when performing high-speed data transfer processing. On the other hand, after termination of command processing, clock supply of a necessary minimum frequency (relatively low frequency) is received from the clock generation circuit 4. Thereby, a disk controller 1 performs command processing certainly with the clock of a high predetermined frequency. Moreover, since the clock of a necessary minimum frequency is generated after termination of command processing, power consumption can be reduced relatively.

[0023] In addition, also in actuation of the disk interface circuit 3, the clock frequency of the clock generation circuit 4 is controlled like the above-mentioned host interface circuitry 2 according to the operating state of internal circuitries, such as a data transfer circuit. That is, the disk interface circuit 3 receives clock supply of a high frequency from the clock generation circuit 4 relatively through a signal line 10, when performing high-speed data transfer processing. On the other hand, the detecting circuit of the disk interface circuit 3 directs clock supply of a necessary minimum frequency in the clock generation circuit 4 through a signal line 9, if termination of data transfer processing is detected. Therefore, since it becomes clock supply of a necessary minimum frequency after termination of data transfer processing, power consumption can be reduced relatively.

[0024] (Modification of this operation gestalt) With reference to drawing 2, the modification of this operation gestalt is explained hereafter. This modification is a method with which the detecting circuit 20 of the host interface circuitry 2 detects the transfer mode which a host system 16 requires, and controls the clock frequency of the clock generation circuit 4 in the transfer mode (1 2) of the data transfer control circuit 21 according to this.

[0025] That is, if the command with which the host interface circuitry 2 was published from the host system 16 is set to a command register, the transfer mode (1 2) of the data transfer control circuit 21 will

be chosen by the command concerned. Here, data transfer mode (1) assumes the data transfer according to data transfer mode (2) to a low-speed transfer rate supposing the data transfer by the fast transmission rate.

[0026] A detecting circuit 20 sends out the information for specifying a clock frequency required for a fast transmission rate through a signal line 7 to the clock generation circuit 4, if it detects from a command that the data transfer mode (1) of a fast transmission rate was required from the host system 16. By actuation of the frequency control circuit 40 and the clock generation circuit 41, the clock generation circuit 4 generates the clock of a high frequency required for a fast transmission rate, and supplies it to the data transfer circuit 21. On the other hand, a detecting circuit 20 sends out the information for specifying a clock frequency required for a low-speed transfer rate through a signal line 7 to the clock generation circuit 4, if it detects from a command that the data transfer mode (2) of a low-speed transfer rate was required from the host system 16. By actuation of the frequency control circuit 40 and the clock generation circuit 41, the clock generation circuit 4 generates the clock of a low frequency indispensable for a low-speed transfer rate, and supplies it to the data transfer circuit 21.

[0027] According to this modification, the host interface circuitry 2 controls the clock frequency of the clock generation circuit 4 according to the data transfer mode demanded from the host system 16 as mentioned above. Therefore, the host interface circuitry 2 receives clock supply of a high frequency relatively from the clock generation circuit 4, when performing high-speed data transfer processing. On the other hand, in performing low-speed data transfer processing, it receives clock supply of a necessary minimum frequency (relatively low frequency) from the clock generation circuit 4. Since this will generate the clock of a necessary minimum frequency when performing especially low-speed data transfer processing, power consumption can be reduced relatively.

[0028] Furthermore, the detecting circuit of the disk interface circuit 3 is the method which controls the clock frequency of the clock generation circuit 4 as other modifications of this operation gestalt. The data transfer rate with a disk 17 has the truck location as high-speed as a periphery side which is an object for access on a disk 17 usual. On the contrary, in accessing the truck by the side of the inner circumference on a disk 17, a data transfer rate becomes a low speed relatively.

[0029] So, the detecting circuit of the disk interface circuit 3 controls the clock frequency of the clock generation circuit 4 by this modification according to the location (namely, truck location for access) of the head in read/write actuation. Specifically, a detecting circuit sends out the information for specifying a clock frequency required for a fast transmission rate through a signal line 9 to the clock generation circuit 4, if it detects that the truck location which is an object for access on a disk 17 is a periphery side. By actuation of the frequency control circuit 40 and the clock generation circuit 41, the clock generation circuit 4 generates the clock of a high frequency required for a fast transmission rate, and supplies it to the disk interface circuit 3 through a signal line 10.

[0030] On the other hand, a detecting circuit sends out the information for specifying a clock frequency required for a low-speed transfer rate through a signal line 9 to the clock generation circuit 4, if it detects that the truck location which is an object for access on a disk 17 is an inner circumference side. By actuation of the frequency control circuit 40 and the clock generation circuit 41, the clock generation circuit 4 generates the clock of a low frequency indispensable for a low-speed transfer rate, and supplies it to the disk interface circuit 3 through a signal line 10.

[0031] According to this modification, the disk interface circuit 3 controls the clock frequency of the clock generation circuit 4 according to the truck location which is an object for access on the disk 17 at the time of read/write actuation as mentioned above. Therefore, when the truck location which is an object for access on a disk 17 is a periphery side, clock supply of a high frequency is relatively received from the clock generation circuit 4. On the other hand, when the truck location which is an object for access on a disk 17 is an inner circumference side, clock supply of a necessary minimum frequency (relatively low frequency) is received from the clock generation circuit 4. Since this will generate the clock of a necessary minimum frequency when performing especially low-speed data transfer processing, power consumption can be reduced relatively.

[0032]

[Effect of the Invention] As explained in full detail above, while operating in the disk controller which uses a high frequency clock especially with a high frequency clock required for high-speed data transfer processing according to this invention, in the case of the operating state which does not need a high frequency clock, the clock of a necessary minimum frequency is supplied. Therefore, the useless power consumption in the condition of not needing supply of a high frequency clock is lost, and reduction-ization of the power consumption of a disk controller can be realized as a result. If this invention is especially applied to the disk drive carried in the system of which low-power-ization is demanded, it will become possible to attain reduction-ization of the power consumption of a system object.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Disk storage characterized by to provide a means for a head to perform record playback of data on a disk, said host system and disk control means which performs record data or playback data transfer control between said disks, and a clock-control means generate the clock of a necessary minimum frequency according to the condition of actuation of said disk control means, and supply said disk control means according to the demand from a host system.

[Claim 2] It is the disk controller applied to the disk storage which performs record playback of data on a disk by the head according to the demand from a host system. Said host system and transfer control means which performs record data or playback data transfer control between said disks, The clock generation means equipped with the function which generates a clock required for actuation, supplies said transfer control means, and carries out adjustable [of the frequency of the clock concerned], The disk controller characterized by providing a means to detect issuance of the command from said host system, and to specify a necessary minimum clock frequency as said clock generation means according to the processing state of the command concerned.

[Claim 3] It is the disk controller applied to the disk storage which performs record playback of data on a disk by the head according to the demand from a host system. Between said host systems and said disks The transfer control means which chooses a data transfer rate and performs record data or playback data transfer control, The clock generation means equipped with the function which generates a clock required for actuation, supplies said transfer control means, and carries out adjustable [of the frequency of the clock concerned], The disk controller characterized by providing a means to specify a necessary minimum clock frequency as said clock generation means according to the data transfer rate of said transfer control means.

[Claim 4] It is the disk controller applied to the disk storage which performs record playback of data on a disk by the head according to the demand from a host system. Said host system and transfer control means which performs record data or playback data transfer control between said disks,